

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月16日

出 願 番 号

Application Number:

特願2001-039299

出 願 人

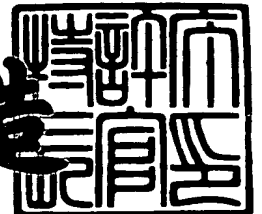
Applicant(s):

富士通株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080064

【書類名】 特許願

【整理番号】 0140056

【提出日】 平成13年 2月16日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 9/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 内田 敏也

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092152

 【弁理士】

 【氏名又は名称】 服部 毅巖

 【電話番号】 0426-45-6644

【手数料の表示】

 【予納台帳番号】 009874

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 クロック信号の入力を受けるクロック信号入力手段と、
コマンドの入力を受けるコマンド入力手段と、

前記クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである
第 1 のエッジに応じて前記コマンド入力手段から第 1 のコマンドを取得する第 1
のコマンド取得手段と、

前記第 1 のエッジとは異なる第 2 のエッジに応じて前記コマンド入力手段から
第 2 のコマンドを取得する第 2 のコマンド取得手段と、

前記第 1 および第 2 のコマンドに応じて処理を行う処理手段と、
を有することを特徴とする半導体装置。

【請求項 2】 前記処理手段は、前記第 1 のコマンドを入力した時点で処理
を開始することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記処理手段は、前記第 1 のコマンドを入力した時点で処理
を開始し、前記第 2 のコマンドが正常でない場合には、既に開始した処理を中止
することを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記処理手段は、前記第 2 のコマンドを入力した時点で、そ
のコマンドに応じた所定の動作モードに遷移することを特徴とする請求項 2 記載
の半導体装置。

【請求項 5】 アドレスの入力を受けるアドレス入力手段と、
前記クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである
第 1 のエッジに応じて前記アドレス入力手段から第 1 のアドレスを取得する第 1
のアドレス取得手段と、

前記第 1 のエッジとは異なる第 2 のエッジに応じて前記アドレス入力手段から
第 2 のアドレスを取得する第 2 のアドレス取得手段と、

を更に有することを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 位相が相互に異なる n ($n > 1$) 種類のクロック信号の入力
を受けるクロック信号入力手段と、

コマンドの入力を受けるコマンド入力手段と、

前記 n 種類のクロック信号が有する少なくとも m ($m > 1$) 種類のエッジのそれぞれに応じて第 1 乃至第 m のコマンドを取得する第 1 乃至第 m のコマンド取得手段と、

前記第 1 乃至第 m のコマンドに応じて処理を行う処理手段と、
を有することを特徴とする半導体装置。

【請求項 7】 前記処理手段は、前記第 1 のコマンドを入力した時点で処理を開始することを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記処理手段は、前記第 1 のコマンドを入力した時点で処理を開始し、前記第 2 乃至第 m のコマンドの何れかが正常でない場合には、既に開始した処理を中止することを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記処理手段は、前記第 2 乃至第 m のコマンドの何れかを入力した時点で、そのコマンドに応じた所定の動作モードに遷移することを特徴とする請求項 7 記載の半導体装置。

【請求項 10】 前記第 1 のコマンドは、少なくとも $Non-operation$, $Read$, $Write$ の何れであるかを示す論理を有し、

前記処理手段は、前記第 1 のコマンドが $Read$ または $Write$ である場合には、前記第 1 のコマンドが入力された時点から処理を開始し、前記第 2 乃至第 n のコマンドの少なくとも 1 部が入力された場合には、前記第 1 のコマンドとの組み合わせで $Read$, $Write$ 処理を継続するか、他の動作モードに移行するかを判定する、

ことを特徴とする請求項 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、クロック信号に同期してコマンドを入力する半導体装置に関する。

【0002】

【従来技術】

半導体装置では、コマンドを複数回に分割して読み込む構成を有するものがある。

【0003】

図13は、従来におけるこのような半導体装置の一例を示す図である。

この図において、入力回路1は、入力アンプ1aによって構成されており、入力されたコマンドを基準電圧 V_{ref} と比較して波形整形を行った後、出力する。

【0004】

クロックバッファ2は、入力されたクロック信号の波形整形と、信号レベルの調整を行って出力する。

1stラッチ3は、入力回路1から供給されたコマンドが1stコマンドである場合にはこれをラッチし、1stコマンドとして出力する。

【0005】

2ndラッチ4は、入力回路1から供給されたコマンドが2ndコマンドである場合にはこれをラッチし、2ndコマンドとして出力する。

図14は、図13に示す従来の回路の動作を説明するタイミングチャートである。

【0006】

回路に電源が投入されると、図14（A）に示す第0番目のクロックの立ち上がりエッジにおいて1stラッチ3がリセットされ、入力されたコマンドを監視する状態になる。

【0007】

続いて、第1番目のクロック信号の立ち上がりエッジ部分において、（B）に示す1stコマンドが入力されると、入力回路1は、このコマンドを波形整形した後、1stラッチ3および2ndラッチ4にそれぞれ供給する。

【0008】

1stラッチ3では、供給されたコマンドが1stコマンドであって、かつ、正常であるか否かを判定し、これらの条件を満足する場合には、図14（D）に示すように、2ndラッチ4に出力するenable#2信号をアクティブ（“

H”) の状態にする。

【0 0 0 9】

2 n d ラッチ 4 は、e n a b l e # 2 信号がアクティブになったことを受け、第 2 番目の立ち上がりエッジにおいて供給された 2 n d コマンドを取得する。そして、2 n d ラッチ 4 は、供給されたコマンドが 2 s t コマンドであって、かつ、正常であるか否かを判定し、これらの条件を満足する場合には、図 1 4 (C) に示すように、1 s t ラッチ 3 に出力する e n a b l e # 1 信号をアクティブの状態にする。

【0 0 1 0】

第 4 番目のクロック信号の立ち上がりエッジでは、1 s t コマンドが入力され、1 s t ラッチ 3 が前述の場合と同様の動作により、1 s t コマンドを入力して処理する。

【0 0 1 1】

以上に示したような動作が繰り返されることにより、1 s t コマンドと 2 n d コマンドが分離され、後段の回路に供給される。

図 1 5 は、以上の動作の概略を説明するための図である。この図に示すように、入力回路 1 を介して入力されたコマンドは、1 s t ラッチ 3 および 2 n d ラッチ 4 の双方に供給される。1 s t ラッチ 3 は、供給されたコマンドが 1 s t コマンドであって正常である場合には、そのコマンドを取得して出力するとともに、e n a b l e # 2 信号をアクティブの状態にする。一方、2 n d ラッチ 4 は、1 s t ラッチ 3 から e n b l e # 2 信号が供給された場合には次に入力されるコマンドをラッチし、そのコマンドが 2 n d コマンドであって正常である場合には e n a b l e # 1 信号をアクティブの状態にする。

【0 0 1 2】

【発明が解決しようとする課題】

ところで、以上に説明した回路では、1 s t ラッチ 3 および 2 n d ラッチ 4 は、与えられたコマンドが適切であり、かつ、正常であるか否かについてコマンドの入力後に判定し、e n a b l e # 1, # 2 信号を生成する必要がある。

【0 0 1 3】

従って、コマンドの入力毎に判断が必要であるため、クロック信号の周波数が高くなると、判断に必要な時間を十分に確保できなくなり、正常な動作が望めなくなるといった問題点があった。

【0014】

本発明はこのような点に鑑みてなされたものであり、コマンドを高速に読み込むことが可能な半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示す、クロック信号の入力を受けるクロック信号入力手段11と、コマンドの入力を受けるコマンド入力手段10と、前記クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである第1のエッジに応じて前記コマンド入力手段10から第1のコマンドを取得する第1のコマンド取得手段12と、前記第1のエッジとは異なる第2のエッジに応じて前記コマンド入力手段10から第2のコマンドを取得する第2のコマンド取得手段13と、前記第1および第2のコマンドに応じて処理を行う処理手段14と、を有することを特徴とする半導体装置が提供される。

【0016】

ここで、クロック信号入力手段11は、クロック信号の入力を受ける。コマンド入力手段10は、コマンドの入力を受ける。第1のコマンド取得手段12は、クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである第1のエッジに応じてコマンド入力手段10から第1のコマンドを取得する。第2のコマンド取得手段13は、第1のエッジとは異なる第2のエッジに応じてコマンド入力手段10から第2のコマンドを取得する。処理手段14は、第1および第2のコマンドに応じて処理を行う。

【0017】

また、位相が相互に異なる n ($n > 1$) 種類のクロック信号の入力を受けるクロック信号入力手段と、コマンドの入力を受けるコマンド入力手段と、前記 n 種類のクロック信号が有する少なくとも m ($m > 1$) 種類のエッジのそれぞれに応じて第1乃至第 m のコマンドを取得する第1乃至第 m のコマンド取得手段と、前

記第 1 乃至第 m のコマンドに応じて処理を行う処理手段と、を有することを特徴とする半導体装置が提供される。

【0018】

ここで、クロック信号入力手段は、位相が相互に異なる n ($n > 1$) 種類のクロック信号の入力を受ける。コマンド入力手段は、コマンドの入力を受ける。第 1 乃至第 m のコマンド取得手段は、 n 種類のクロック信号が有する少なくとも m ($m > 1$) 種類のエッジのそれぞれに応じて第 1 乃至第 m のコマンドを取得する。処理手段は、第 1 乃至第 m のコマンドに応じて処理を行う。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図 1 は、本発明の動作原理を説明する原理図である。この図に示すように、本発明の半導体装置は、コマンド入力手段 10、クロック信号入力手段 11、第 1 のコマンド取得手段 12、第 2 のコマンド取得手段 13、および、処理手段 14 によって構成されている。

【0020】

ここで、コマンド入力手段 10 は、外部からコマンドの入力を受ける。

クロック信号入力手段 11 は、同じく外部からクロック信号の入力を受ける。

第 1 のコマンド取得手段 12 は、クロック信号の立ち上がりまたは立ち下がりエッジの何れかである第 1 のエッジに応じてコマンド入力手段 10 から第 1 のコマンドを取得する。

【0021】

第 2 のコマンド取得手段 13 は、第 1 のエッジとは異なる第 2 のエッジに応じてコマンド入力手段 10 から第 2 のコマンドを取得する。

次に、以上の原理図の動作について説明する。なお、以下では、第 1 のコマンド取得手段 12 は、クロック信号の立ち上がりエッジに同期して第 1 のコマンドを取得し、第 2 のコマンド取得手段 13 は、クロック信号の立ち下がりエッジに同期して第 2 のコマンドを取得するものとする。

【0022】

コマンド入力手段 1 0 には、クロック信号の立ち上がりエッジに同期して第 1 のコマンドが、また、立ち下がりエッジに同期して第 2 のコマンドが供給される。

【 0 0 2 3 】

第 1 のコマンド取得手段 1 2 は、クロック信号入力手段 1 1 から供給されたクロック信号の立ち上がりエッジに同期して、コマンド入力手段 1 0 から供給されたコマンドを取得する。前述のように、第 1 のコマンドは、クロック信号の立ち上がりエッジに同期して入力されるので、第 1 のコマンド取得手段 1 2 は、必然的に第 1 のコマンドを取得することになる。

【 0 0 2 4 】

第 2 のコマンド取得手段 1 3 は、クロック信号入力手段 1 1 から供給されたクロック信号の立ち下がりエッジに同期して、コマンド入力手段 1 0 から供給されたコマンドを取得する。前述のように、第 2 のコマンドは、クロック信号の立ち下がりエッジに同期して入力されるので、第 2 のコマンド取得手段 1 3 は、必然的に第 2 のコマンドを取得することになる。

【 0 0 2 5 】

第 1 のコマンド取得手段 1 2 および第 2 のコマンド取得手段 1 3 によって取得された第 1 および第 2 のコマンドは処理手段 1 4 に供給される。処理手段 1 4 は、第 1 および第 2 のコマンドが正常であるか否かを判定した後、正常である場合には対応する処理を実行する。

【 0 0 2 6 】

このように、クロック信号の立ち上がりおよび立ち下がりエッジと、第 1 および第 2 のコマンドを対応付けするようにしたので、図 1 3 に示す 1 s t ラッチ 3 および 2 n d ラッチ 4 が実行していた動作である、「コマンドのラッチ」、「1 s t コマンドまたは 2 n d コマンドの判定」、「コマンドが正常であるか否かの判定」、および、「enable 信号の発生」のうち、「1 s t コマンドまたは 2 n d コマンドの判定」および「enable 信号の発生」を省略することが可能になるので、処理速度を高速化することが可能になる。

【 0 0 2 7 】

また、「コマンドのラッチ」は第1のコマンド取得手段12および第2のコマンド取得手段13が、また、「コマンドが正常であるか否かの判定」は処理手段14が担当するようにしたので、分担処理により回路全体の処理速度を向上させることが可能になる。

【0028】

次に、本発明の実施の形態について説明する。

図2は、本発明の実施の形態の構成例を示す図である。この図に示すように、本発明の半導体装置は、クロックバッファ50、コマンド入力ブロック60、および、アドレス入力ブロック70によって構成されている。

【0029】

クロックバッファ50は、外部からクロック信号の入力を受け、後述するように2種類のクロック信号#1およびクロック信号#2を出力する。

コマンド入力ブロック60は、入力回路61、1stラッチ62、2ndラッチ63、1stコマンドデコーダ64、および、2ndコマンドデコーダ65によって構成されており、外部から供給されたコマンドの入力を受け、1st内部コマンドと2nd内部コマンドとに峻別して後段の回路に供給する。

【0030】

ここで、入力回路61は、入力アンプ61aを有しており、入力されたコマンド信号と、基準電圧 V_{ref} とを比較し、波形を整形して出力する。

1stラッチ62は、クロック信号#1に応じて1stコマンドを取得する。

【0031】

2ndラッチ63は、クロック信号#2に応じて2ndコマンドを取得する。

1stコマンドデコーダ64は、1stラッチ62から供給された1stコマンドをデコードし、1st内部コマンドとして出力するとともに、2ndコマンドデコーダ65および1stアドレスラッチ74に供給する。

【0032】

2ndコマンドデコーダ65は、2ndラッチ63から供給された2ndコマンドと1st内部コマンドをデコードし、2nd内部コマンドとして出力するとともに、2ndアドレスラッチ75に供給する。

【0033】

また、アドレス入力ブロック70は、入力回路71、1stラッチ72、2ndラッチ73、1stアドレスラッチ74、および、2ndアドレスラッチ75によって構成されており、1st内部コマンドおよび2nd内部コマンドに応じて1stアドレスおよび2ndアドレスをそれぞれ取り込み、1st内部アドレスおよび2nd内部アドレスとして後段の回路に供給する。

【0034】

ここで、入力回路71は、入力アンプ71aを有しており、入力されたアドレス信号と、基準電圧Vrefとを比較し、波形を整形して出力する。

1stラッチ72は、クロック信号#1に応じて1stアドレスを取得する。

【0035】

2ndラッチ73は、クロック信号#2に応じて2ndアドレスを取得する。

1stアドレスラッチ74は、1stコマンドデコーダ64から供給された1st内部コマンドに従って、1stラッチ72から供給された1stアドレスをラッチし、1st内部アドレスとして出力する。

【0036】

2ndアドレスラッチ75は、2ndコマンドデコーダ65から供給された2nd内部コマンドに従って、2ndラッチ73から供給された2ndアドレスをラッチし、2nd内部アドレスとして出力する。

【0037】

次に、以上の実施の形態の動作について説明する。なお、以下では、図3および図4を参照して、本発明の動作の概略について説明した後、図5を参照して詳細な動作について説明する。

【0038】

本実施の形態では、クロックバッファ50は、図3(A)に示すクロック信号を入力し、それと同相のクロック信号#1(図3(C)参照)と、逆相のクロック信号#2(図3(D)参照)とを生成し、図3(B)に示すように、1stコマンドはクロック信号#1に同期して読み込み、また、2ndコマンドはクロック信号#2に同期して読み込む。

【0039】

その結果、1stコマンドと2ndコマンドとを判別する必要がなくなり、その際の判断を省略することが可能になる。

また、1stコマンドが正常でない場合であっても、2ndコマンドを入力する前にその適否を判定する必要がなくなるので、2ndコマンド入力までの動作マージンを確保することが可能になる。

【0040】

即ち、図4に示すように、本実施の形態では、図15に示す従来の回路の動作と比較して、1stラッチ62および2ndラッチ63において1stコマンドまたは2ndコマンドの判別を行う必要がなく、また、enable信号を生成する必要がないので、その分だけ処理を高速化することが可能になる。

【0041】

図5は、図2に示す実施の形態の各部の信号の時間的变化を示すタイミングチャートである。

外部から図5(A)に示すクロック信号が供給されると、クロックバッファ50は、図5(C)に示すクロック信号#1と、図5(D)に示すクロック信号#2とを生成し、回路の各部に供給する。

【0042】

入力回路61には、図5(B)に示すように、クロック信号の立ち上がりエッジに同期して1stコマンドが、また、クロック信号の立ち下がりエッジに同期して2ndコマンドが供給される。

【0043】

入力回路61は、入力したコマンド信号の波形を整形し、1stラッチ62および2ndラッチ63に供給する。

1stラッチ62は、図5(E)に示すように、入力回路61から供給されたコマンド(1stコマンド)をクロック信号#1の立ち上がりエッジに同期して取得する。

【0044】

2ndラッチ63は、図5(F)に示すように、入力回路61から供給された

コマンド（2ndコマンド）をクロック信号#2の立ち上がりエッジに同期して取得する。

【0045】

1stコマンドデコーダ64は、1stラッチ62から供給された1stコマンドをデコードして1st内部コマンド（図5（G）参照）を生成し、後段の回路に出力するとともに、2ndコマンドデコーダ65および1stアドレスラッチ74に供給する。

【0046】

2ndコマンドデコーダ65は、1stコマンドデコーダ64から供給された内部1stコマンドと、2ndラッチ63から供給された2ndコマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、2nd内部コマンド（図5（H）参照）を生成し、後段の回路に出力するとともに、2ndアドレスラッチ75に供給する。

【0047】

一方、アドレス入力ブロック70では、クロック信号#1とクロック信号#2のそれぞれの立ち上がりエッジに同期して1stアドレスと2ndアドレスとが1stラッチ72および2ndラッチ73によってラッチされる。

【0048】

1stアドレスラッチ74は、1stコマンドデコーダ64から供給される1st内部コマンドに応じて1stアドレスをラッチし、1st内部アドレスとして後段の回路に供給する。

【0049】

2ndアドレスラッチ75は、2ndコマンドデコーダ65から供給される2nd内部コマンドに応じて2ndアドレスをラッチし、2nd内部アドレスとして後段の回路に供給する。

【0050】

図示せぬ後段の回路では、1st内部コマンドが発行された時点から図5（I）に示すように動作を開始し、2nd内部コマンドに応じて開始された動作を適宜方向修正しながら継続する。なお、1stコマンドまたは2ndコマンドが正

常でない場合には、先に開始された動作を中断する。

【0051】

そして、後段の回路において所定の処理が実行され、目的となるデータが取得された場合には、図5（J）に示すデバイス出力として半導体装置の外部に出力されることになる。

【0052】

以上に説明したように、本発明の実施の形態によれば、クロック信号の立ち上がりおよび立ち下がりエッジを1stコマンドおよび2ndコマンドにそれぞれ対応付け、各エッジに対応してコマンドを入力するようにしたので、コマンドデコーダにおける判断を省略することが可能になり、高速な動作を実現することが可能になる。

【0053】

また、1stコマンドを取得した時点で、コマンドの実行を開始するようにしたので、処理のマージンを確保することにより、高速動作時においても安定して動作することが可能になる。

【0054】

更に、クロック信号の立ち上がりと立ち下がりエッジに同期してコマンドを取得するようにしたので、消費電力を減少させるという効果も期待できる。図6は、消費電力が減少することを説明するための図である。この図の（A），（B）は本実施の形態におけるクロック信号と取得されるコマンドとの関係を示している。また、（C），（D）は、従来におけるクロック信号と取得されるコマンドとの関係を示している。

【0055】

この図に示すように、同一の速度でコマンドを取得した場合、本実施の形態のクロック信号の周波数は、従来の回路のクロック信号の周波数の1/2でよい。従って、回路のコマンド処理に関する部分が1/2の周波数のクロック信号で動作することになるので、消費される電力を減少させることが可能になる。

【0056】

なお、以上の実施の形態では、外部からクロック信号を供給するようにしたが

、内部においてクロック信号を生成するようにしてもよい。

また、以上の実施の形態では、立ち上がりエッジと立ち下がりエッジに同期してコマンドを取得するようにしたが、データに関してもDDR (Double Data Rate) 方式を利用することにより、更に処理速度を向上させることも可能である。

【0057】

更に、本発明を、例えば、半導体メモリに適用する場合、1stコマンドには、少なくともNon-operation, Read, Write等が判定できる論理を与えることにより、Read, Write等の基本動作は1stコマンドが読み込まれた時点から実行することができる。2ndコマンドが入力された場合には、1stコマンドとの組み合わせでRead, Write動作を継続するか、他の動作モードに移行するかを判定する。なお、2ndコマンドで移行する他の動作モードとは、付随的な動作である、例えば、リフレッシュ動作等がある。このように、メモリとして要求される基本的な動作については1stコマンドから実行すれば、コマンドを2回に分けて投入してもアクセスロスを生じない。また、それでいて、同じ入力端子を2回(1stコマンドと2ndコマンドの2回)用いてコマンドを取り込むため、入力端子数を削減することができる。

【0058】

次に、本発明の第2の実施の形態について説明する。

図7は、本発明の第2の実施の形態の構成例を示す図である。なお、この図において、図2と対応する部分には同一の符号を付してあるので、その説明は省略する。

【0059】

第2の実施の形態では、図2の場合と比較して、入力ブロック80の構成が一部が異なっている。即ち、図2の場合では、1stコマンドデコーダ64の出力である1st内部コマンドは2ndコマンドデコーダ65に供給されていたが、この実施の形態では2ndコマンドデコーダ85には1stコマンドが直接供給されている。なお、その他の部分は、図2の場合と同様である。

【0060】

1stコマンドデコーダ84は、1stラッチ62から供給された1stコマ

ンドをデコードし、1st 内部コマンドとして後段の回路に供給するとともに、1st アドレスラッチ 74 に供給する。

【0061】

2nd コマンドデコーダ 85 は、1st ラッチ 62 から供給された 1st コマンドと、2nd ラッチ 63 から供給された 2nd コマンドとをデコードし、2nd 内部コマンドを生成して後段の回路に供給するとともに、2nd アドレスラッチ 75 に供給する。

【0062】

次に、図 8 を参照して、以上の実施の形態の動作について説明する。

外部から図 8 (A) に示すクロック信号が供給されると、クロックバッファ 50 は、図 8 (C) に示すクロック信号 #1 と、図 8 (D) に示すクロック信号 #2 とを生成し、回路の各部に供給する。

【0063】

入力回路 61 には、図 8 (B) に示すように、クロック信号の立ち上がりエッジに同期して 1st コマンドが、また、クロック信号の立ち下がりエッジに同期して 2nd コマンドが供給される。

【0064】

入力回路 61 は、入力したコマンド信号の波形を整形し、1st ラッチ 62 および 2nd ラッチ 63 に供給する。

1st ラッチ 62 は、図 8 (E) に示すように、入力回路 61 から供給されたコマンド (1st コマンド) をクロック信号 #1 の立ち上がりエッジに同期して取得する。

【0065】

2nd ラッチ 63 は、図 8 (F) に示すように、入力回路 61 から供給されたコマンド (2nd コマンド) をクロック信号 #2 の立ち上がりエッジに同期して取得する。

【0066】

1st コマンドデコーダ 84 は、1st ラッチ 62 から供給された 1st コマンドをデコードして 1st 内部コマンド (図 8 (G) 参照) を生成し、後段の回

路と1stアドレスラッチ74に供給する。

【0067】

2ndコマンドデコーダ85は、1stラッチ62から供給された1stコマンドと、2ndラッチ63から供給された2ndコマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、2nd内部コマンド（図8（H）参照）を生成し、後段の回路と2ndアドレスラッチ75に供給する。

【0068】

一方、アドレス入力ブロック70では、クロック信号#1とクロック信号#2のそれぞれの立ち上がりエッジに同期して1stアドレスと2ndアドレスとが1stラッチ72および2ndラッチ73によってラッチされる。

【0069】

1stアドレスラッチ74は、1stコマンドデコーダ84から供給される1st内部コマンドに応じて1stアドレスを取得し、1st内部アドレスとして後段の回路に供給する。

【0070】

2ndアドレスラッチ75は、2ndコマンドデコーダ85から供給される2nd内部コマンドに応じて2ndアドレスを取得し、2nd内部アドレスとして後段の回路に供給する。

【0071】

図示せぬ後段の回路では、1st内部コマンドが発行された時点から図8（I）に示すように動作を開始し、2nd内部コマンドに応じて開始された動作を適宜方向修正しながら継続する。なお、1stコマンドまたは2ndコマンドが正常でない場合には、先に開始された動作を中断する。

【0072】

そして、後段の回路において所定の処理が実行され、目的となるデータが取得された場合には、図8（J）に示すデバイス出力として半導体装置の外部に出力されることになる。

【0073】

以上の実施の形態によれば、図 2 の場合と同様に、高速な動作を実現することが可能になる。

次に、本発明の第 3 の実施の形態について説明する。

【 0 0 7 4 】

図 9 は、本発明の第 3 の実施の形態の構成例を示す図である。この図に示すように、本発明の第 3 の実施の形態は、クロックバッファ 1 0 0、コマンド入力ブロック 1 1 0、および、アドレス入力ブロック 1 2 0 によって構成されている。

【 0 0 7 5 】

クロックバッファ 1 0 0 は、後述するように、位相がそれぞれ異なるクロック信号 # 1 およびクロック信号 # 2 を入力し、内部クロック # 1 ~ # 4 を出力する。

【 0 0 7 6 】

図 1 0 は、クロックバッファ 1 0 0 の詳細な構成例を示す図である。この図の例では、クロックバッファ 1 0 0 は、インバータ 1 0 0 a、1 0 0 b、NAND 素子 1 0 0 c ~ 1 0 0 f、および、インバータ 1 0 0 g ~ 1 0 0 j によって構成されている。

【 0 0 7 7 】

インバータ 1 0 0 a は、クロック信号 # 1 を反転して NAND 素子 1 0 0 d に供給する。インバータ 1 0 0 b は、クロック信号 # 2 を反転して NAND 素子 1 0 0 f に供給する。

【 0 0 7 8 】

NAND 素子 1 0 0 c は、クロック信号 # 1 とクロック信号 # 2 の論理積を反転した結果を出力する。

NAND 素子 1 0 0 d は、インバータ 1 0 0 a の出力とクロック信号 # 2 の論理積を反転した結果を出力する。

【 0 0 7 9 】

NAND 素子 1 0 0 e は、インバータ 1 0 0 a の出力とインバータ 1 0 0 b の出力の論理積を反転した結果を出力する。

NAND 素子 1 0 0 f は、クロック信号 # 1 とインバータ 1 0 0 b の出力の論

理積を反転した結果を出力する。

【0080】

インバータ100g～100jは、NAND素子100c～100fの出力を反転した結果を出力する。

図9に戻って、コマンド入力ブロック110は、入力回路111、1stラッチ112～4thラッチ115、1stコマンドデコーダ116～4thコマンドデコーダ119によって構成され、入力されたコマンドから1stコマンド～4thコマンドを抽出し、1st内部コマンド～4th内部コマンドとして出力する。

【0081】

ここで、入力回路111は、入力アンプ111aを有しており、入力されたコマンド信号の波形を整形して出力する。

1stラッチ112～4thラッチ115は、入力回路111から出力されたコマンドからそれぞれ1stコマンド～4thコマンドを内部クロック信号#1～#4に同期して抽出し、出力する。

【0082】

1stコマンドデコーダ116は、1stラッチ112から出力された1stコマンドをデコードして1st内部コマンドを生成し、後段の回路に供給するとともに、2ndコマンドデコーダ117～4thコマンドデコーダ119、および、1stアドレスラッチ126に供給する。

【0083】

2ndコマンドデコーダ117～4thコマンドデコーダ119は、1stコマンドデコーダ116の出力と、2ndラッチ113～4thラッチ115の出力をそれぞれ入力し、2nd内部コマンド～4th内部コマンドを生成して後段の回路に供給するとともに、2ndアドレスラッチ127～4thアドレスラッチ129にそれぞれ供給する。

【0084】

一方、アドレス入力ブロック120は、入力回路121、1stラッチ122～4thラッチ125、1stアドレスラッチ126～4thアドレスラッチ1

29によって構成されており、入力されたアドレスから1stアドレス～4thアドレスを抽出し、後段の回路に供給する。

【0085】

ここで、入力回路121は、入力アンプ121aを有しており、入力されたアドレス信号の波形を整形して出力する。

1stラッチ122～4thラッチ125は、入力回路121から出力されたアドレスからそれぞれ1stアドレス～4thアドレスを抽出して出力する。

【0086】

1stアドレスラッチ126～4thアドレスラッチ129は、1st内部コマンド～4th内部コマンドに応じて1stアドレス～4thアドレスをラッチし、1st内部アドレス～4th内部アドレスとして後段の回路に供給する。

【0087】

次に、以上の実施の形態の動作について説明する。

クロックバッファ100に、図11(A)，(B)に示すような、位相が90度ずれているクロック信号#1およびクロック信号#2が供給されると、NAND素子100cはクロック信号#1およびクロック信号#2の論理積を反転した結果を出力し、インバータ100gは更にその反転した結果を内部クロック信号#1として出力する。従って、内部クロック信号#1は、クロック信号#1とクロック信号#2との論理積を演算した結果に等しくなるので、クロック信号#1およびクロック信号#2の双方が“H”である場合に“H”の状態になる信号となる(図11(C)参照)。

【0088】

同様にして、内部クロック信号#2は、クロック信号#1を反転した結果と、クロック信号#2との論理積に等しいので、これらの信号の双方が“H”である場合に“H”の状態になる信号となる(図11(D)参照)。

【0089】

内部クロック信号#3は、クロック信号#1の反転した結果と、クロック信号#2の反転した結果との論理積に等しく、これらの信号の双方が“H”の状態である場合に“H”の状態になる信号となる(図11(E)参照)。

【0090】

内部クロック信号#4は、クロック信号#1とクロック信号#2の反転した結果との論理積に等しく、これらの信号の双方が“H”の場合に“H”の状態になる信号となる（図11（F）参照）。

【0091】

以上の処理により、クロック信号#2の立ち上がりエッジに対応する内部クロック信号#1、クロック信号#1の立ち下がりエッジに対応する内部クロック信号#2、クロック信号#2の立ち下がりエッジに対応する内部クロック信号#3、および、クロック信号#1の立ち上がりエッジに対応する内部クロック信号#4が生成される。

【0092】

このような内部クロック信号#1～#4は、1stラッチ112～4thラッチ115および1stラッチ122～4thラッチ125にそれぞれ供給される。

【0093】

コマンド入力ブロック110の1stラッチ112～4thラッチ115は、入力回路111によって波形整形されたコマンドを入力し、内部クロック信号#1～#4のそれぞれの立ち上がりエッジに同期して、1stコマンド～4thコマンドをそれぞれラッチする。

【0094】

1stコマンドデコーダ116は、1stラッチ112によってラッチされた1stコマンドをデコードして1st内部コマンドを生成し、後段の回路に供給するとともに、2ndコマンドデコーダ117～4thコマンドデコーダ119および1stアドレスラッチ126に供給する。

【0095】

2ndコマンドデコーダ117は、2ndラッチ113から供給された2ndコマンドと、1stコマンドデコーダ116から供給された1st内部コマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、2nd内部コマンドを生成し、後段の回路に供給するとともに、2nd

d アドレスラッチ 127 に供給する。

【0096】

3rd コマンドデコーダ 118 は、3rd ラッチ 114 から供給された 3rd コマンドと、1st コマンドデコーダ 116 から供給された 1st 内部コマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、3rd 内部コマンドを生成し、後段の回路に供給するとともに、3rd アドレスラッチ 128 に供給する。

【0097】

4th コマンドデコーダ 119 は、4th ラッチ 115 から供給された 4th コマンドと、1st コマンドデコーダ 116 から供給された 1st 内部コマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、4th 内部コマンドを生成し、後段の回路に供給するとともに、4th アドレスラッチ 129 に供給する。

【0098】

一方、アドレス入力ブロック 120 の 1st ラッチ 122～4th ラッチ 125 は、入力回路 121 によって波形整形されたアドレスを入力し、内部クロック信号 #1～内部クロック信号 #4 の立ち上がりエッジに同期して、1st アドレス～4th アドレスをそれぞれラッチする。

【0099】

1st アドレスラッチ 126～4th アドレスラッチ 129 は、1st コマンドデコーダ 116～4th コマンドデコーダ 119 から供給される 1st 内部コマンド～4th 内部コマンドのそれぞれに応じて 1st アドレス～4th アドレスを取得し、1st 内部アドレス～4th 内部アドレスとして後段の回路に出力する。

【0100】

図示せぬ後段の回路では、1st 内部コマンドが発行された時点から動作を開始し、2nd 内部コマンド～4th 内部コマンドが発行されると、それらのコマンドに応じて方向修正を図りながら、動作を継続する。なお、2nd コマンド以降においてコマンドが正常でない場合には、先に開始された動作を中断する。

【0101】

以上の実施の形態では、位相が異なる2種類のクロック信号#1およびクロック信号#2のそれぞれの立ち上がりエッジおよび立ち下がりエッジに対応する内部クロック信号#1～#4を生成し、これらのクロック信号に同期してコマンドおよびアドレスを読み込むようにしたので、コマンドデコーダにおける判断を省略することが可能になり、高速な動作を実現することが可能になる。

【0102】

なお、以上の実施の形態では、2種類のクロック信号#1、#2のエッジに対応してコマンドおよびアドレスを読み込むようにしたが、3種類以上のクロック信号のエッジに対応してアドレスを読み込むようにしてもよい。また、複数のクロック信号の一部のエッジに対応してコマンドおよびアドレスを読み込むようにすることも可能である。

【0103】

次に、本発明の第4の実施の形態について説明する。

図12は、本発明の第4の実施の形態の構成例を示す図である。なお、この図において、図9の場合と対応する部分には同一の符号を付してあるので、その説明は省略する。

【0104】

図12に示す実施の形態では、図9の場合と比較し、コマンド入力ブロック130の構成が一部異なっている。その他の部分は、図9の場合と同様である。

コマンド入力ブロック130は、入力回路111、1stラッチ112～4thラッチ115、1stコマンドデコーダ136～4thコマンドデコーダ139によって構成され、入力されたコマンドから1stコマンド～4thコマンドを抽出し、1st内部コマンド～4th内部コマンドとして出力する。

【0105】

ここで、入力回路111は、入力アンプ111aを有しており、入力されたコマンド信号の波形を整形して出力する。

1stラッチ112～4thラッチ115は、入力回路111から出力されたコマンドからそれぞれ1stコマンド～4thコマンドを抽出して出力する。

【0106】

1st コマンドデコーダ136は、1st ラッチ112から出力された1st コマンドをデコードして1st 内部コマンドを生成し、後段の回路に供給するとともに、2nd コマンドデコーダ137および1st アドレスラッチ126に供給する。

【0107】

2nd コマンドデコーダ137は、2nd ラッチ113の出力と、1st コマンドデコーダ136の出力とをデコードし、これらの組み合わせが正常である場合には、2nd 内部コマンドを生成して後段の回路に供給するとともに、3rd コマンドデコーダ138および2nd アドレスラッチ127に供給する。

【0108】

3rd コマンドデコーダ138は、3rd ラッチ114の出力と、2nd コマンドデコーダ137の出力とをデコードし、これらの組み合わせが正常である場合には、3rd 内部コマンドを生成して後段の回路に供給するとともに、4th コマンドデコーダ139および3rd アドレスラッチ128に供給する。

【0109】

4th コマンドデコーダ139は、4th ラッチ115の出力と、3rd コマンドデコーダ138の出力とをデコードし、これらの組み合わせが正常である場合には、4th 内部コマンドを生成して後段の回路に供給するとともに、4th アドレスラッチ129に供給する。

【0110】

一方、アドレス入力ブロック120は、入力回路121、1st ラッチ122～4th ラッチ125、1st アドレスラッチ126～4th アドレスラッチ129によって構成されており、入力されたアドレスから1st アドレス～4th アドレスを抽出し、1st 内部アドレス～4th 内部アドレスとして後段の回路に供給する。

【0111】

ここで、入力回路121は、入力アンプ121aを有しており、入力されたアドレス信号の波形を整形して出力する。

1stラッチ122～4thラッチ125は、入力回路121から出力されたアドレスからそれぞれ1stアドレス～4thアドレスを抽出して出力する。

【0112】

1stアドレスラッチ126～4thアドレスラッチ129は、1st内部コマンド～4th内部コマンドに応じて1stアドレス～4thアドレスをラッチし、1st内部アドレス～4th内部アドレスとして後段の回路に供給する。

【0113】

次に、以上の実施の形態の動作について説明する。

クロックバッファ100に、図11(A)，(B)に示すような、位相が90度ずれているクロック信号#1およびクロック信号#2が供給されると、前述の場合と同様の動作により、クロック信号#2の立ち上がりエッジに対応する内部クロック信号#1、クロック信号#1の立ち下がりエッジに対応する内部クロック信号#2、クロック信号#2の立ち下がりエッジに対応する内部クロック信号#3、および、クロック信号#1の立ち上がりエッジに対応する内部クロック信号#4が生成される。このような内部クロック信号#1～#4は、1stラッチ112～4thラッチ115および1stラッチ122～4thラッチ125にそれぞれ供給される。

【0114】

コマンド入力ブロック130の1stラッチ112～4thラッチ115は、入力回路111によって波形整形されたコマンドを入力し、内部クロック信号#1～#4のそれぞれの立ち上がりエッジに同期して、1stコマンド～4thコマンドをそれぞれラッチする。

【0115】

1stコマンドデコーダ136は、1stラッチ112によってラッチされた1stコマンドをデコードして1st内部コマンドを生成し、後段の回路に供給するとともに、2ndコマンドデコーダ137および1stアドレスラッチ126に供給する。

【0116】

2ndコマンドデコーダ137は、2ndラッチ113から供給された2nd

コマンドと、1stコマンドデコーダ136から供給された1st内部コマンドをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、2nd内部コマンドを生成し、後段の回路に供給するとともに、3rdコマンドデコーダ138および2ndアドレスラッチ127に供給する。

【0117】

3rdコマンドデコーダ138は、3rdラッチ114から供給された3rdコマンドと、2ndコマンドデコーダ137から供給された2nd内部コマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、3rd内部コマンドを生成し、後段の回路に供給するとともに、4thコマンドデコーダ139および3rdアドレスラッチ128に供給する。

【0118】

4thコマンドデコーダ139は、4thラッチ115から供給された4thコマンドと、3rdコマンドデコーダ138から供給された3rd内部コマンドとをデコードし、これらの組み合わせが正常であるか否かを判定し、正常である場合には、4th内部コマンドを生成し、後段の回路に供給するとともに、4thアドレスラッチ129に供給する。

【0119】

一方、アドレス入力ブロック120の1stラッチ122～4thラッチ125は、入力回路121によって波形整形されたアドレスを入力し、内部クロック信号#1～内部クロック信号#4の立ち上がりエッジに同期して、1stアドレス～4thアドレスをそれぞれラッチする。

【0120】

1stアドレスラッチ126～4thアドレスラッチ129は、1stコマンドデコーダ136～4thコマンドデコーダ139から供給される1st内部コマンド～4th内部コマンドのそれぞれに応じて1stアドレス～4thアドレスを取得し、1st内部アドレス～4th内部アドレスとして後段の回路に出力する。

【0121】

図示せぬ後段の回路では、1st内部コマンドが発行された時点から動作を開

始し、2nd内部コマンド～4th内部コマンドが発行されると、それらのコマンドに応じて適宜方向修正を図りながら要求されている動作を実行する。なお、2ndコマンド以降においてコマンドが正常でない場合には、先に開始された動作を中断する。

【0122】

以上の実施の形態では、位相が異なる2種類のクロック信号#1およびクロック信号#2のそれぞれの立ち上がりエッジおよび立ち下がりエッジに対応する内部クロック信号#1～#4を生成し、これらの信号に同期してコマンドおよびアドレスを読み込むようにしたので、コマンドデコーダにおける判断を省略することが可能になり、高速な動作を実現することが可能になる。

【0123】

なお、以上の実施の形態では、2種類のクロック信号#1、#2のエッジに対応してコマンドおよびアドレスを読み込むようにしたが、3種類以上のクロック信号のエッジに対応してアドレスを読み込むようにしてもよい。また、複数のクロック信号の一部のエッジに対応してコマンドおよびアドレスを読み込むようにすることも可能である。

【0124】

(付記1) クロック信号の入力を受けるクロック信号入力手段と、
コマンドの入力を受けるコマンド入力手段と、

前記クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである第1のエッジに応じて前記コマンド入力手段から第1のコマンドを取得する第1のコマンド取得手段と、

前記第1のエッジとは異なる第2のエッジに応じて前記コマンド入力手段から第2のコマンドを取得する第2のコマンド取得手段と、

前記第1および第2のコマンドに応じて処理を行う処理手段と、
を有することを特徴とする半導体装置。

【0125】

(付記2) 前記処理手段は、前記第1のコマンドを入力した時点で処理を開始することを特徴とする付記1記載の半導体装置。

(付記 3) 前記処理手段は、前記第 1 のコマンドを入力した時点で処理を開始し、前記第 2 のコマンドが正常でない場合には、既に開始した処理を中止することを特徴とする付記 2 記載の半導体装置。

【 0 1 2 6 】

(付記 4) 前記処理手段は、前記第 2 のコマンドを入力した時点で、そのコマンドに応じた所定の動作モードに遷移することを特徴とする付記 2 記載の半導体装置。

【 0 1 2 7 】

(付記 5) アドレスの入力を受けるアドレス入力手段と、

前記クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである第 1 のエッジに応じて前記アドレス入力手段から第 1 のアドレスを取得する第 1 のアドレス取得手段と、

前記第 1 のエッジとは異なる第 2 のエッジに応じて前記アドレス入力手段から第 2 のアドレスを取得する第 2 のアドレス取得手段と、

を更に有することを特徴とする付記 1 記載の半導体装置。

【 0 1 2 8 】

(付記 6) 前記クロック信号の立ち上がりエッジまたは立ち下がりエッジのそれぞれに応じてデータを入出力するデータ入出力手段を更に有することを特徴とする付記 1 記載の半導体装置。

【 0 1 2 9 】

(付記 7) 位相が相互に異なる n ($n > 1$) 種類のクロック信号の入力を受けるクロック信号入力手段と、

コマンドの入力を受けるコマンド入力手段と、

前記 n 種類のクロック信号が有する少なくとも m ($m > 1$) 種類のエッジのそれぞれに応じて第 1 乃至第 m のコマンドを取得する第 1 乃至第 m のコマンド取得手段と、

前記第 1 乃至第 m のコマンドに応じて処理を行う処理手段と、

を有することを特徴とする半導体装置。

【 0 1 3 0 】

(付記 8) 前記処理手段は、前記第 1 のコマンドを入力した時点で処理を開始することを特徴とする付記 7 記載の半導体装置。

(付記 9) 前記処理手段は、前記第 1 のコマンドを入力した時点で処理を開始し、前記第 2 乃至第 m のコマンドの何れかが正常でない場合には、既に開始した処理を中止することを特徴とする付記 8 記載の半導体装置。

【0131】

(付記 10) 前記処理手段は、前記第 2 乃至第 m のコマンドの何れかを入力した時点で、そのコマンドに応じた所定の動作モードに移移することを特徴とする付記 8 記載の半導体装置。

【0132】

(付記 11) 前記第 1 のコマンドは、少なくとも `Non-operation`, `Read`, `Write` の何れであることを示す論理を有し、

前記処理手段は、前記第 1 のコマンドが `Read` または `Write` である場合には、前記第 1 のコマンドが入力された時点から処理を開始し、前記第 2 乃至第 n のコマンドの少なくとも 1 部が入力された場合には、前記第 1 のコマンドとの組み合わせで `Read`, `Write` 処理を継続するか、他の動作モードに移行するかを判定する、

ことを特徴とする付記 7 記載の半導体装置。

【0133】

(付記 12) アドレスの入力を受けるアドレス入力手段と、

前記 n 種類のクロック信号が有する少なくとも p ($p > 1$) 種類のエッジのそれぞれに応じて第 1 乃至第 p のアドレスを取得する第 1 乃至第 p のアドレス取得手段と、

を更に有することを特徴とする付記 7 記載の半導体装置。

【0134】

(付記 13) 前記 n 種類のクロック信号が有する少なくとも j ($j > 1$) 種類のエッジのそれぞれに応じてデータを入出力するデータ入出力手段を更に有することを特徴とする付記 7 記載の半導体装置。

【0135】

【発明の効果】

以上説明したように本発明では、クロック信号の入力を受けるクロック信号入力手段と、コマンドの入力を受けるコマンド入力手段と、前記クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである第1のエッジに応じて前記コマンド入力手段から第1のコマンドを取得する第1のコマンド取得手段と、前記第1のエッジとは異なる第2のエッジに応じて前記コマンド入力手段から第2のコマンドを取得する第2のコマンド取得手段と、前記第1および第2のコマンドに応じて処理を行う処理手段と、を設けるようにしたので、クロック信号の周波数を増加させる際の動作マージンを確保することが可能になる。

【0136】

また、位相が相互に異なる n ($n > 1$) 種類のクロック信号の入力を受けるクロック信号入力手段と、コマンドの入力を受けるコマンド入力手段と、前記 n 種類のクロック信号が有する少なくとも m ($m > 1$) 種類のエッジのそれぞれに応じて第1乃至第 m のコマンドを取得する第1乃至第 m のコマンド取得手段と、前記第1乃至第 m のコマンドに応じて処理を行う処理手段と、を設けるようにしたので、消費電力を低減することが可能になる。

【図面の簡単な説明】

【図1】

本発明の動作原理を説明する原理図である。

【図2】

本発明の第1の実施の形態の構成例を示す図である。

【図3】

図2に示す第1の実施の形態の動作の概要を説明するためのタイミングチャートである。

【図4】

図2に示す第1の実施の形態の動作の概要を説明するための図である。

【図5】

図2に示す第1の実施の形態の動作を説明するためのタイミングチャートである。

【図 6】

本発明の第 1 の実施の形態により、消費電力が減少することを説明するための図である。

【図 7】

本発明の第 2 の実施の形態の構成例を示す図である。

【図 8】

図 7 に示す第 2 の実施の形態の動作を説明するためのタイミングチャートである。

【図 9】

本発明の第 3 の実施の形態の構成例を示す図である。

【図 1 0】

図 9 に示すクロックバッファの構成例を示す図である。

【図 1 1】

図 1 0 に示すクロックバッファの動作を説明するためのタイミングチャートである。

【図 1 2】

本発明の第 4 の実施の形態の構成例を示す図である。

【図 1 3】

従来における半導体装置の一例を示す図である。

【図 1 4】

図 1 3 に示す半導体装置の動作の概要を説明するためのタイミングチャートである。

【図 1 5】

図 1 3 に示す半導体装置の動作の概要を説明するための図である。

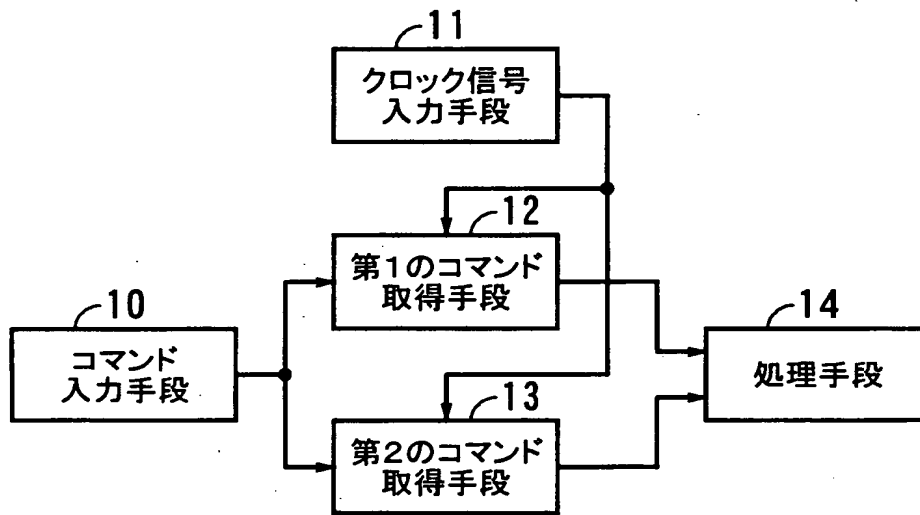
【符号の説明】

- 1 0 コマンド入力手段
- 1 1 クロック信号入力手段
- 1 2 第 1 のコマンド取得手段
- 1 3 第 2 のコマンド取得手段

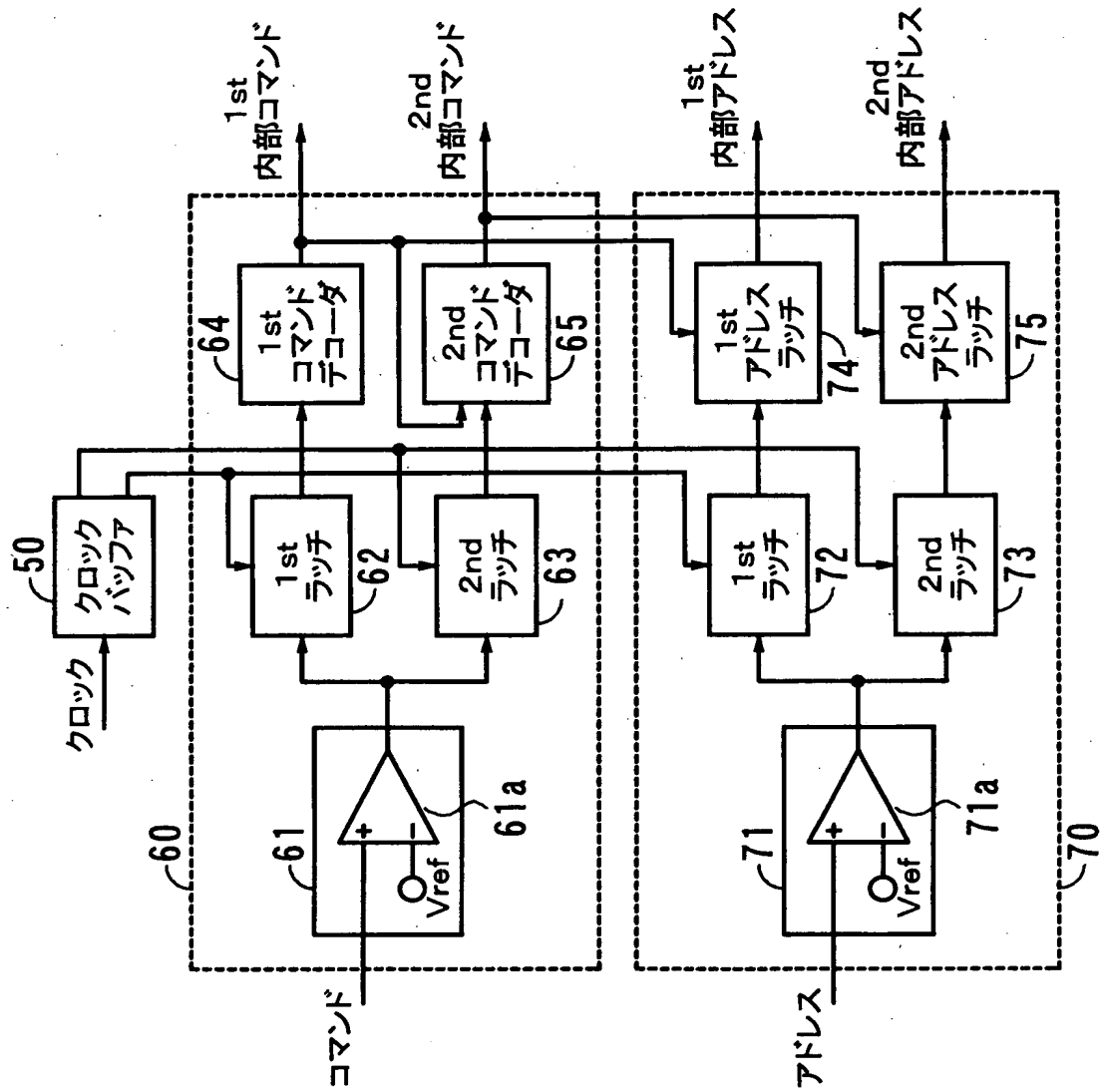
- 14 処理手段
- 50 クロックバッファ
- 60 コマンド入力ブロック
- 61 入力回路
 - 61a 入力アンプ
- 62 1stラッチ
- 63 2ndラッチ
- 64 1stコマンドデコーダ
- 65 2ndコマンドデコーダ
- 70 アドレス入力ブロック
- 71 入力回路
 - 71a 入力アンプ
- 72 1stラッチ
- 73 2ndラッチ
- 74 1stアドレスラッチ
- 75 2ndアドレスラッチ

【書類名】 図面

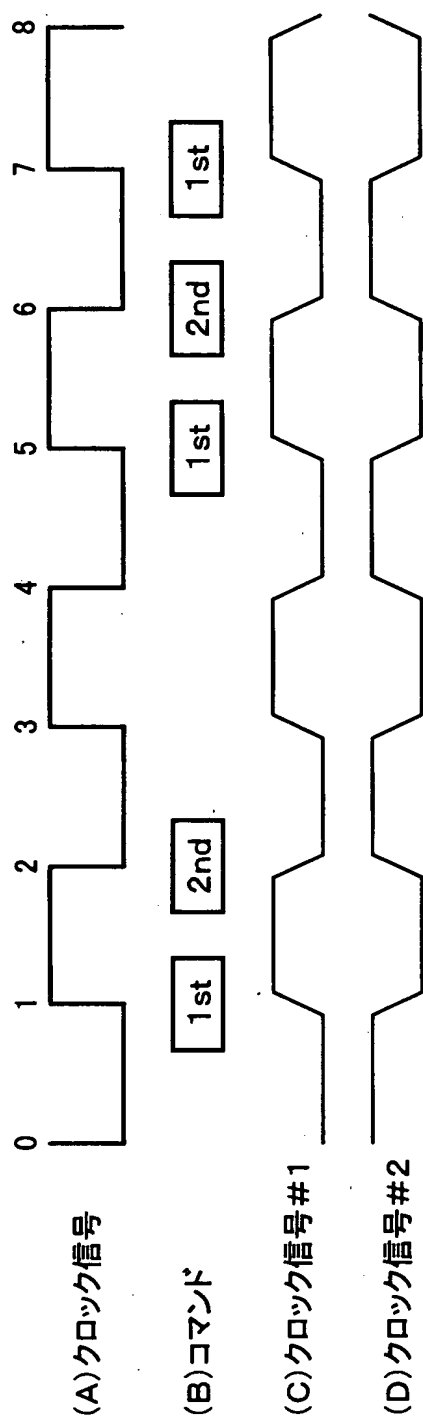
【図 1】



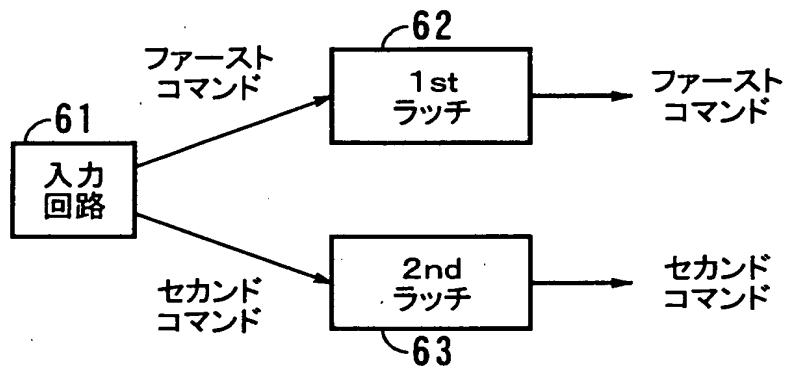
【図 2】



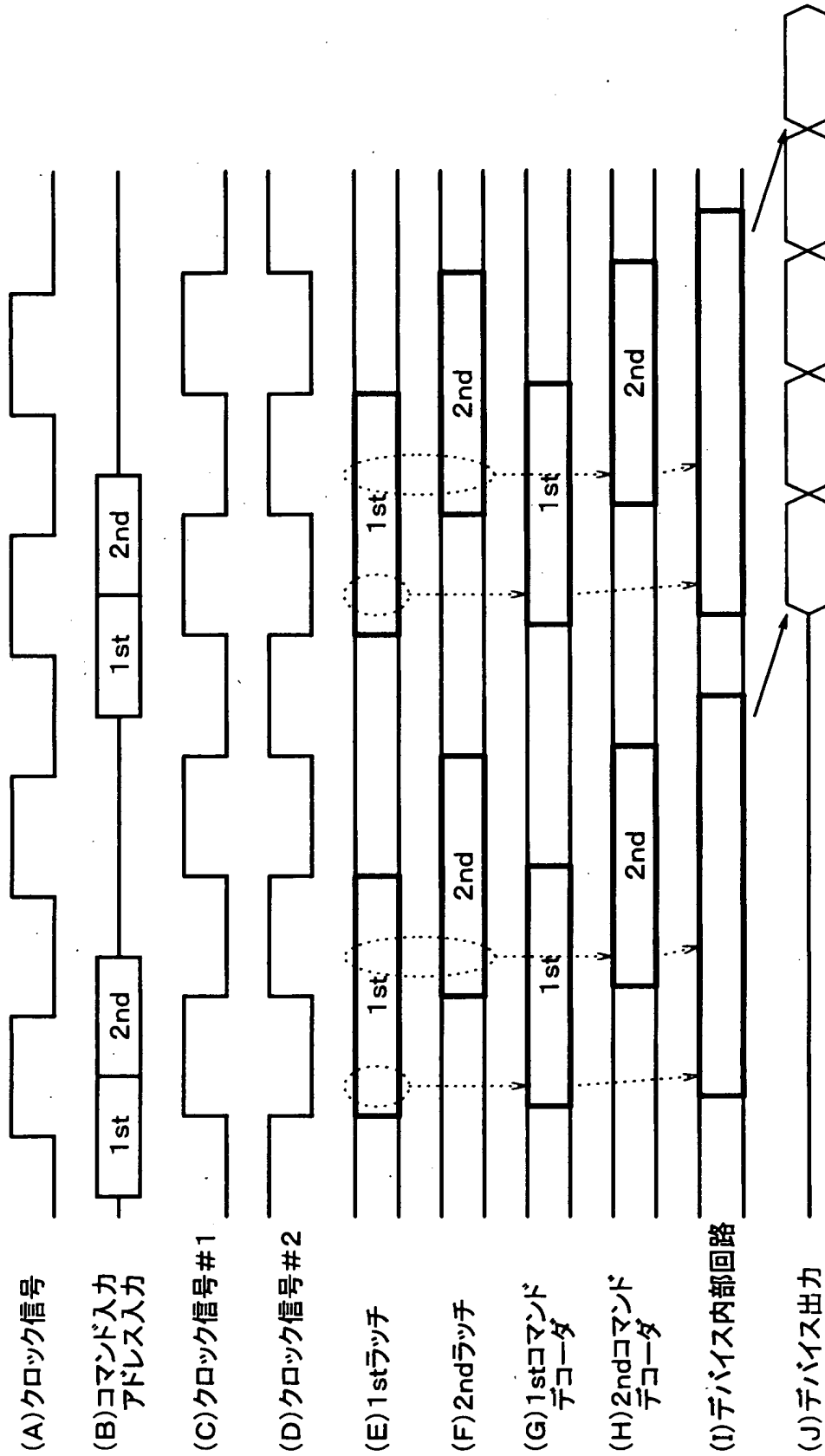
【図 3】



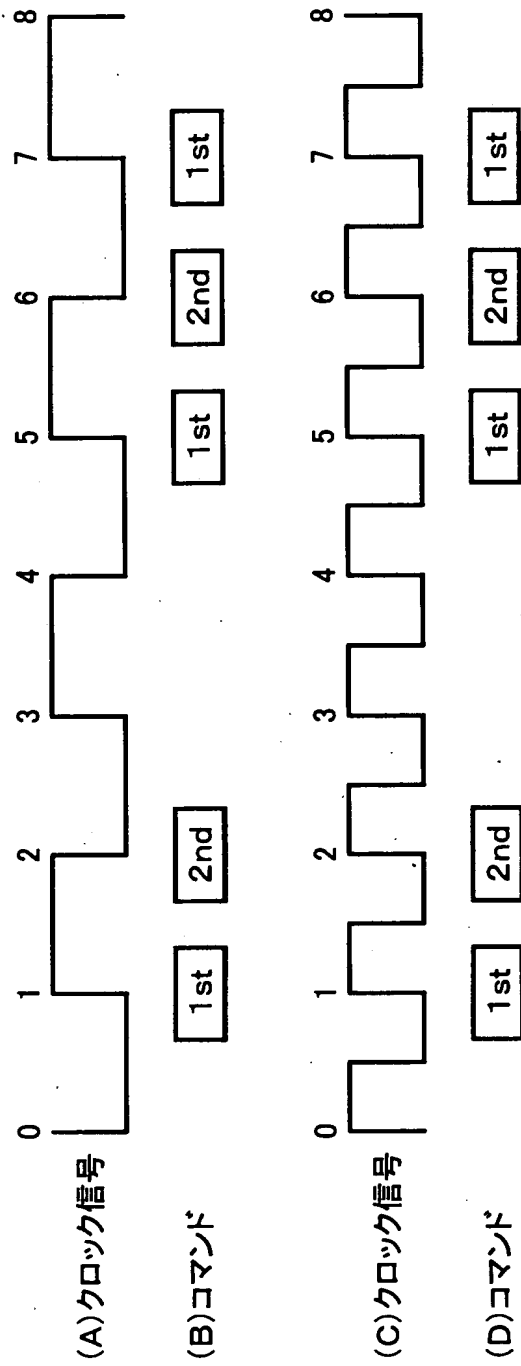
【図4】



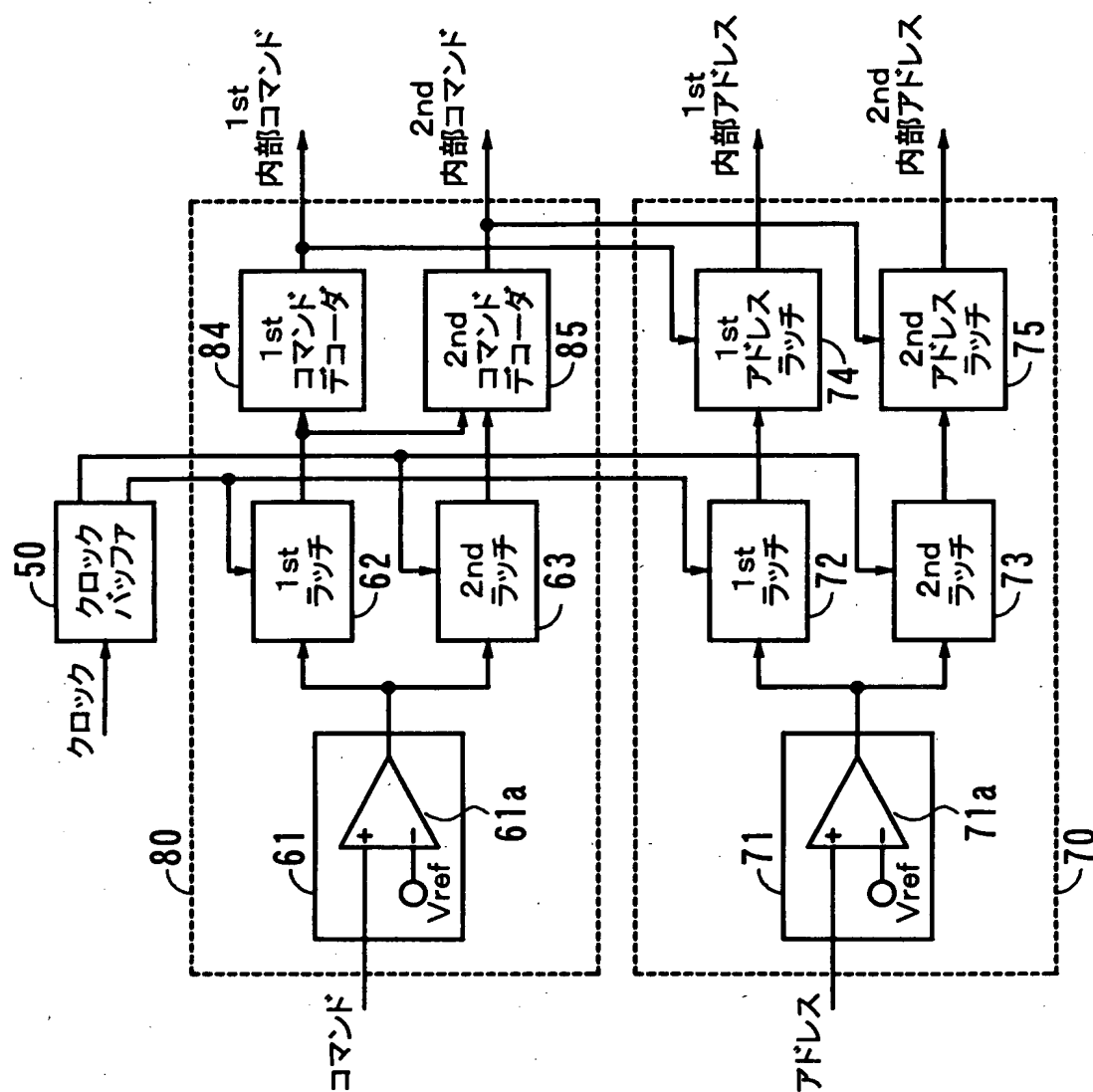
【図 5】



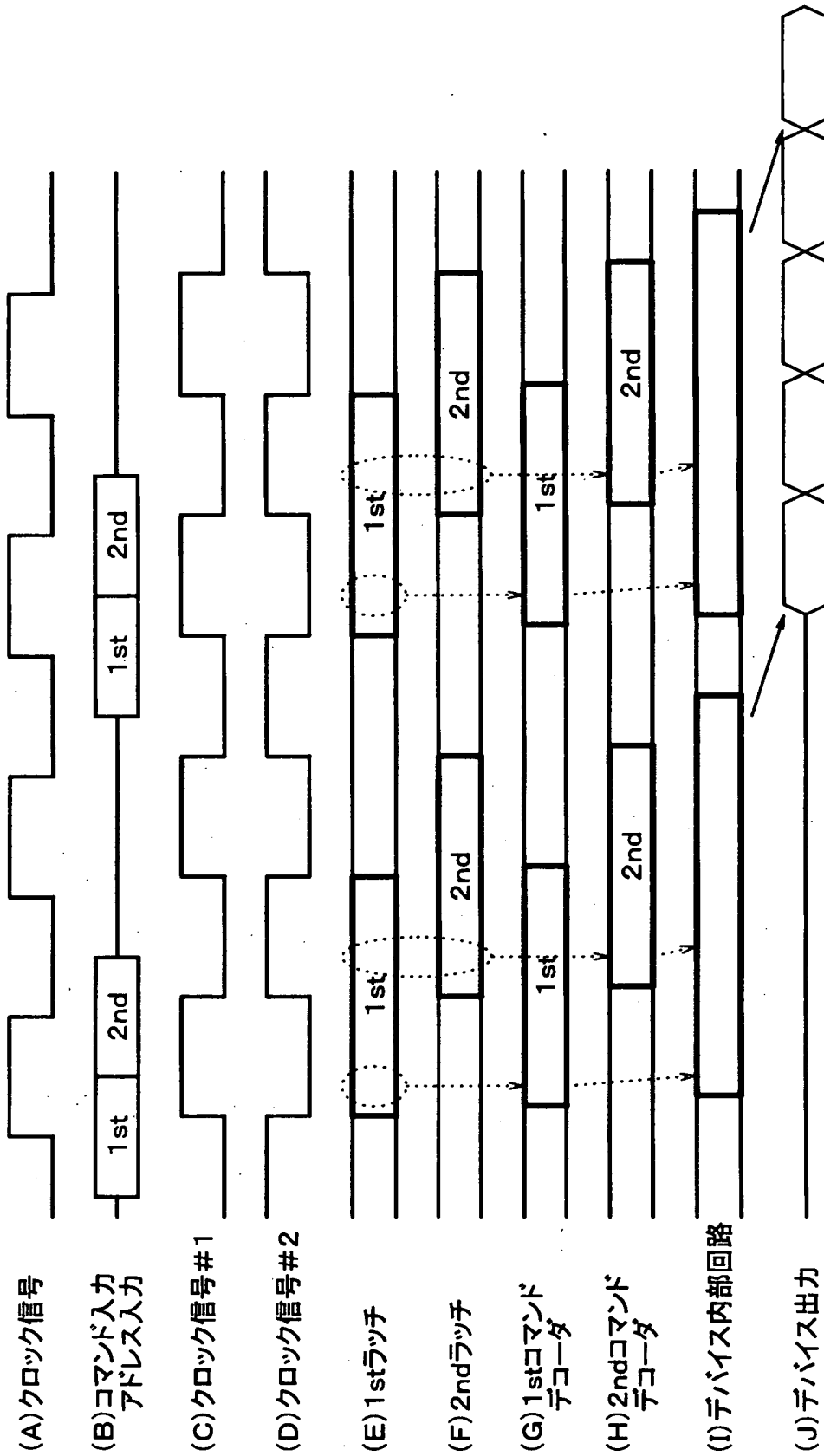
【図 6】



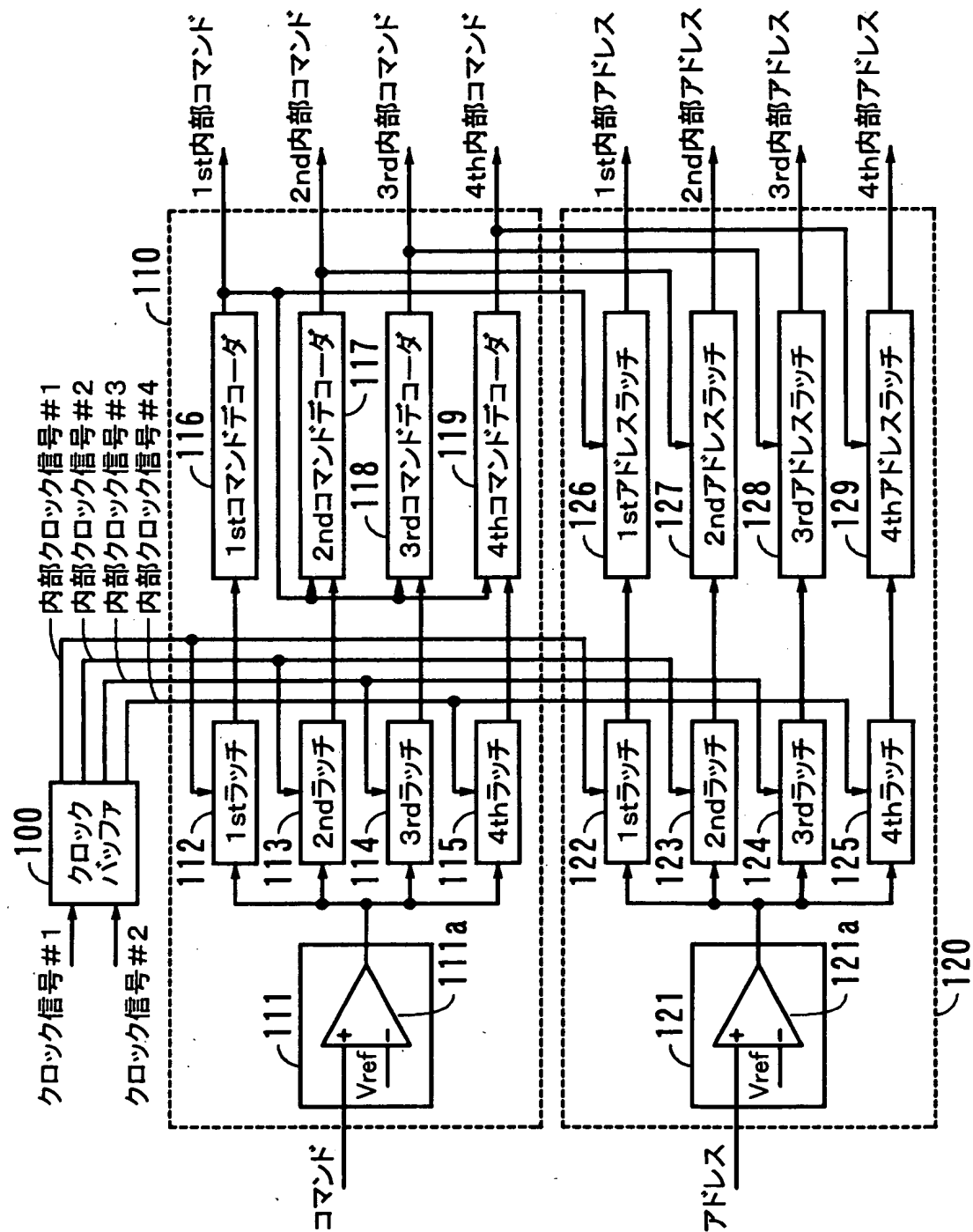
【图 7】



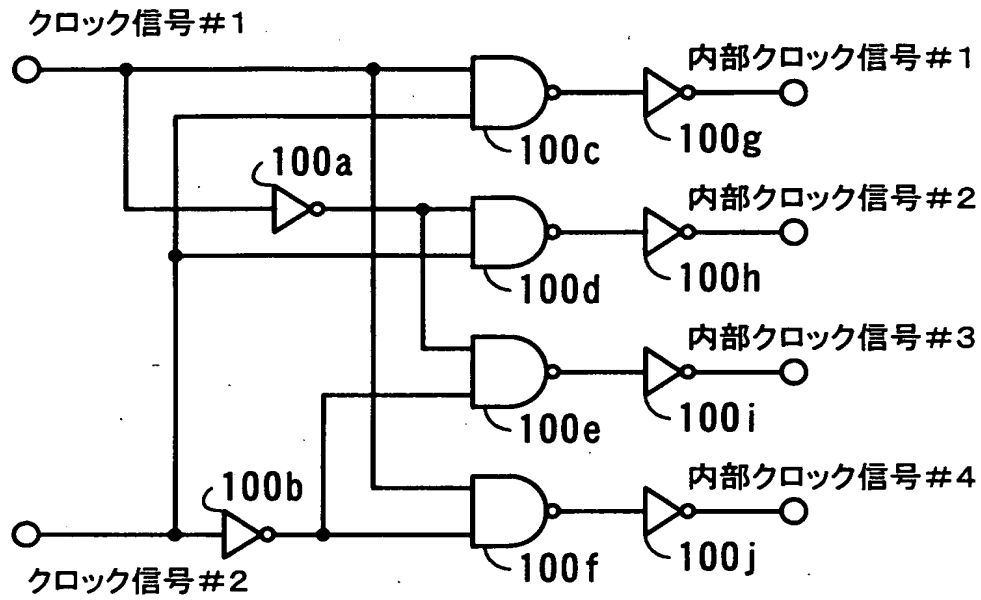
【図 8】



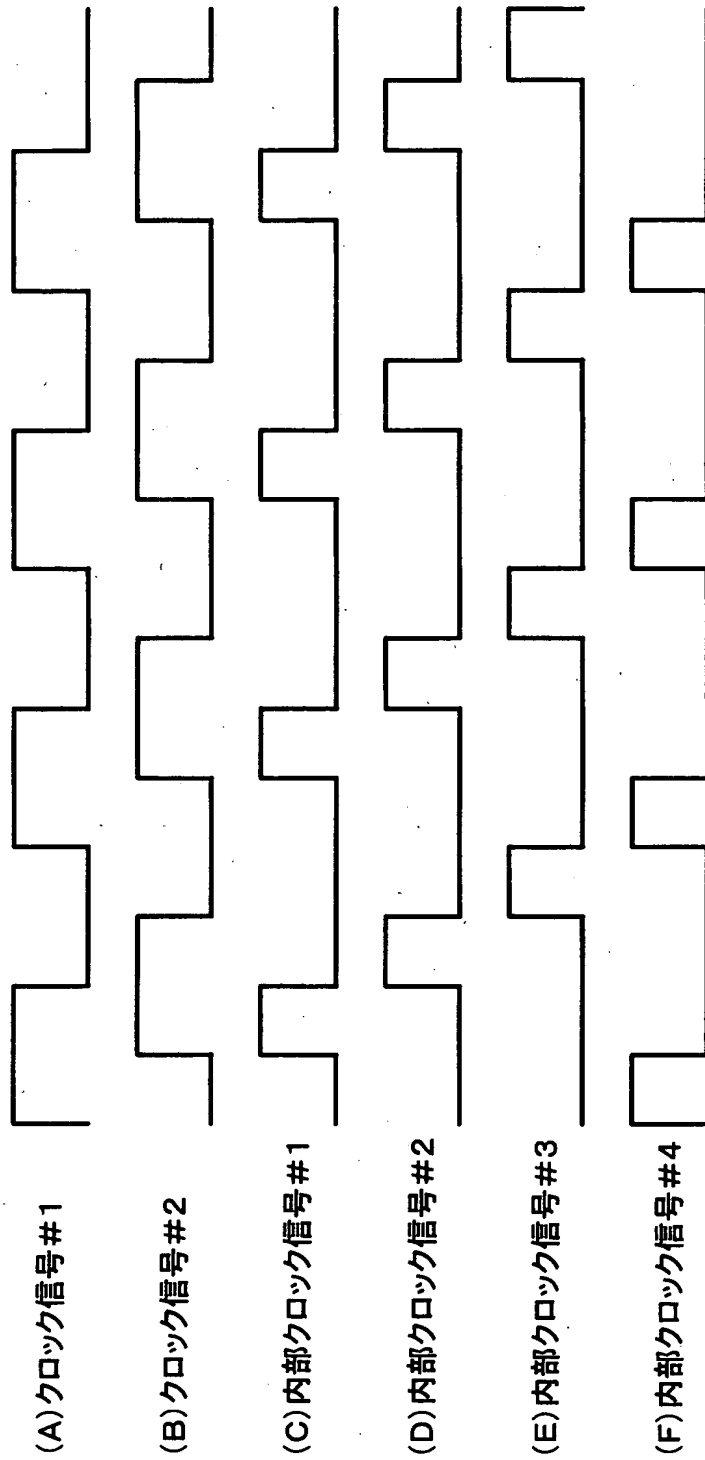
【図 9】



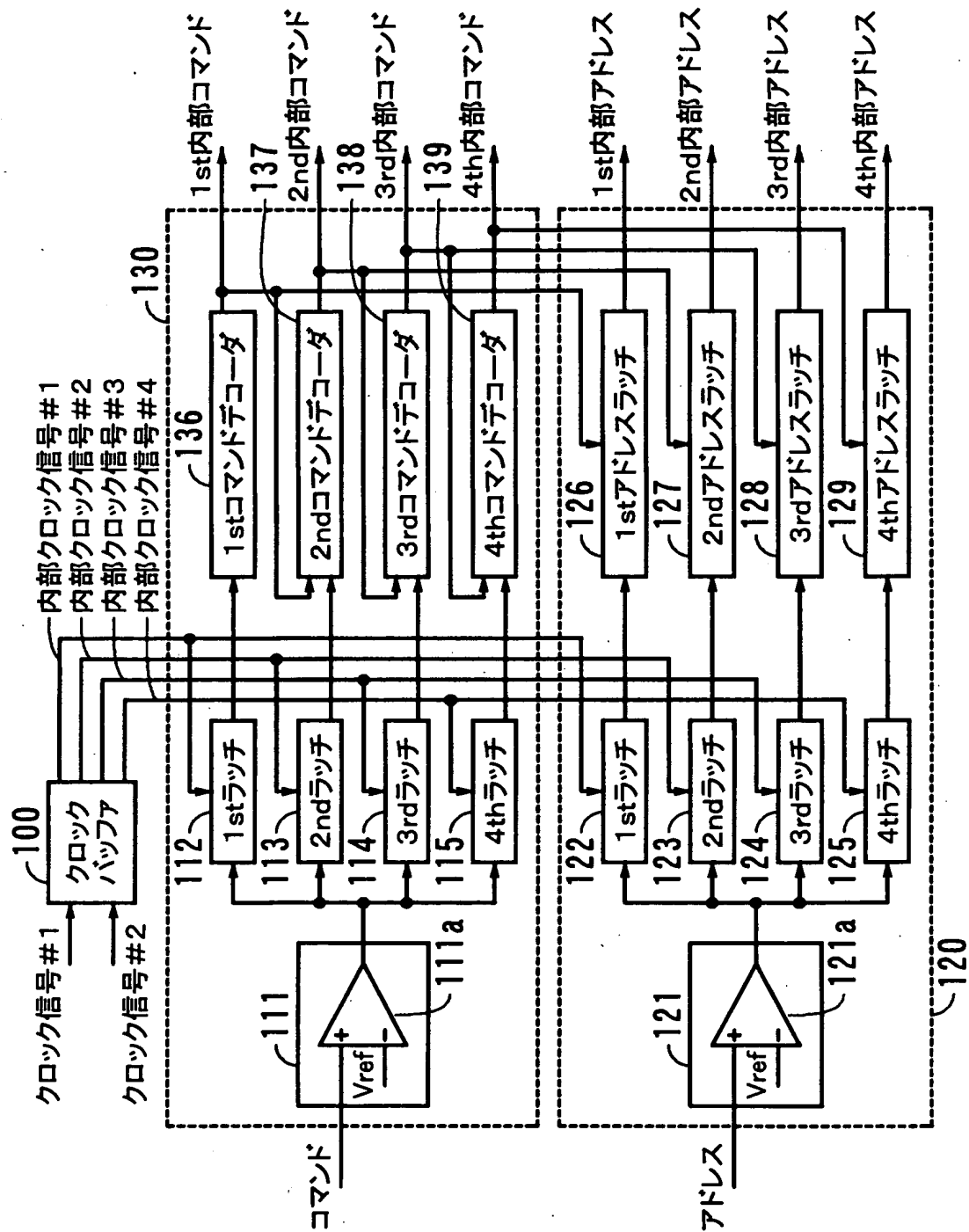
【図 1 0】



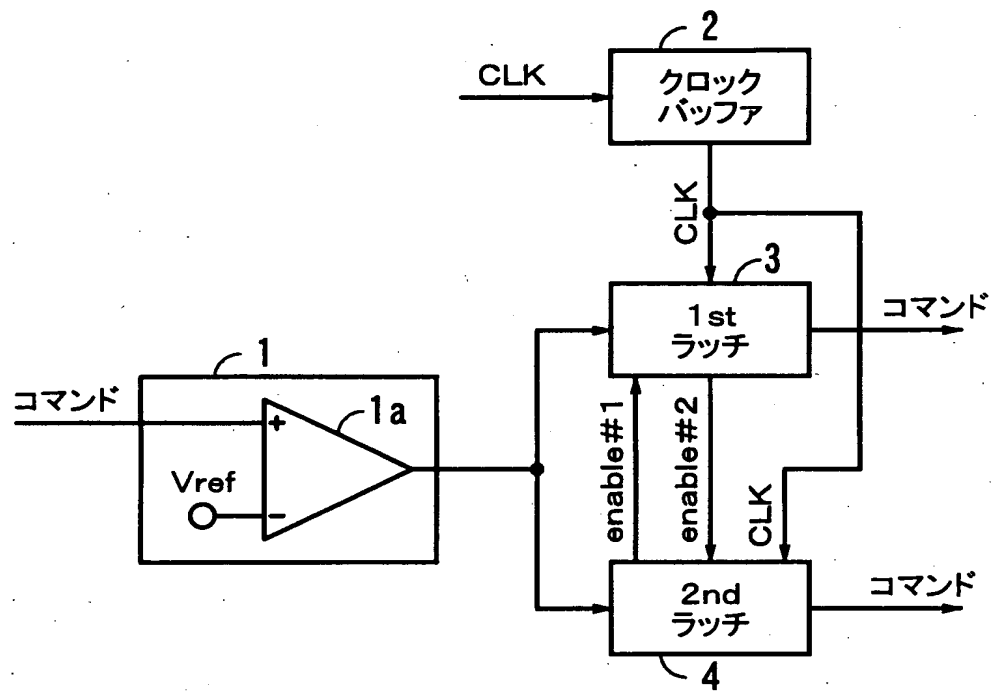
【図 11】



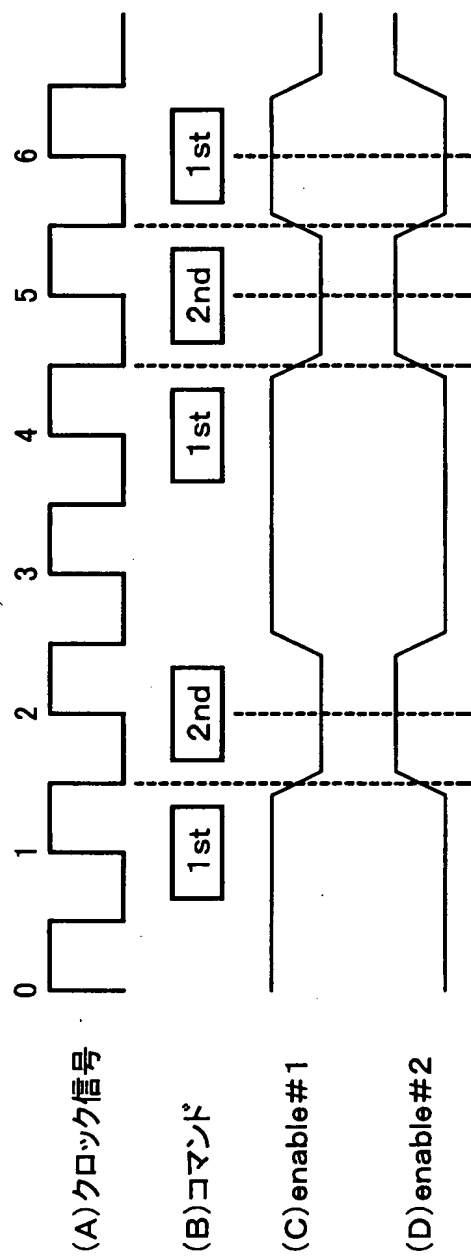
【図 12】



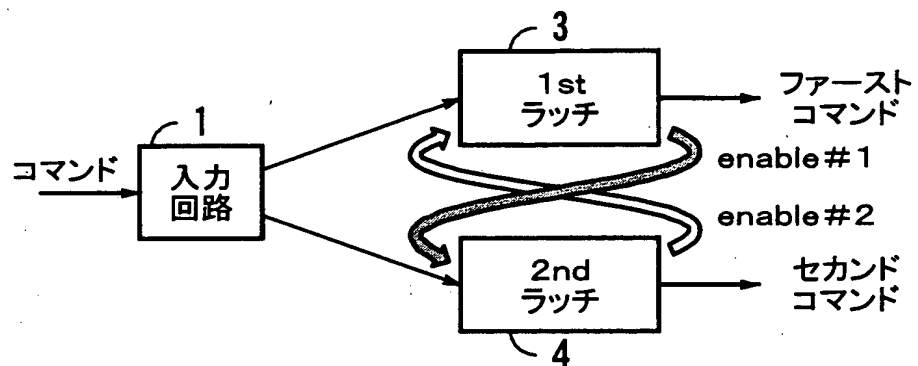
【図13】



【図 14】



【図15】



【書類名】 要約書

【要約】

【課題】 半導体装置のクロック信号の周波数を増加させる場合の動作マージンを確保する。

【解決手段】 クロック信号入力手段 1 1 は、クロック信号の入力を受ける。コマンド入力手段 1 0 は、コマンドの入力を受ける。第 1 のコマンド取得手段 1 2 は、クロック信号の立ち上がりエッジまたは立ち下がりエッジの何れかである第 1 のエッジに応じてコマンド入力手段 1 0 から第 1 のコマンドを取得する。第 2 のコマンド取得手段 1 3 は、第 1 のエッジとは異なる第 2 のエッジに応じてコマンド入力手段 1 0 から第 2 のコマンドを取得する。処理手段 1 4 は、第 1 および第 2 のコマンドに応じて処理を行う。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社